

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 02-121513
 (43) Date of publication of application : 09.05.1990

(51) Int. Cl.

H03H 17/02

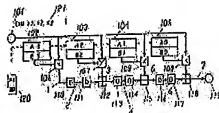
(21) Application number : 63-274874 (71) Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22) Date of filing : 31.10.1988 (72) Inventor : IGATA YUJI
 OUE YUJI

(54) DIGITAL FILTER BANK

(57) Abstract:

PURPOSE: To decrease the number of multipliers and to reduce the overall hardware quantity by adding a coefficient buffer of N stages to the input part of each multiplier and N pieces of delay circuits between taps and switching the coefficient buffers to be multiplied for each data input timing.

CONSTITUTION: The coefficient buffers to be multiplied are switched for each signal input timing and applied to an adder of the next tap after the delay of N stages. Thus the cumulative addition is carried out successively through M taps, and N types of results of cumulative additions are outputted and in time division to the output of a digital filter bank. For instance, the 2-stage coefficient buffers 102, 103, 104 and 105 are added to the input part of each multiplier together with the delay circuits 110, 111, 113, 114, 116 and 117 added between taps respectively. The coefficient buffers to be multiplied are switched for each data input timing. In such a constitution, a 2-stage/4-tap digital filter bank is obtained with use of only four multipliers.



Translation of Relied upon portions in Cited document 2 (Publication 2)
(Japanese Patent Application Publication No.2-121513)

P.2, right upper column, line6-p.3, right upper column, line 3

Fig1 shows an arrangement of a two-staged four-tapped digital filter bank according to the first embodiment of the present invention, which can be used for a filter converting a real signal into a complex signal. In Fig1, 102, 103, 104 and 105 are two-staged coefficient buffers; 106, 107, 108 and 109 are multipliers; 110, 111, 113, 114, 116 and 117 are delay circuits; 112, 115 and 118 are adders; 120 is a coefficient buffer control circuit alternating coefficient buffers A and B multiplied for each single input.

Hereinafter, an operation of the embodiment will be described referring to Fig2, which shows a value for an input clock at each measurement point of (1) (2)··· (7) of Fig1. In particular, the measurement point (7) is an output. The input is assumed to be 121 ($X_0, X_1, X_2, X_3, \dots$). At the first clock, the control circuit 120 selects the coefficient buffers on the A side, and each multiplier multiplies the corresponding coefficient values with X_0 , where at the measurement points (1) (3) (5) (7), A_3X_0, A_2X_0, A_1X_0 , and A_0X_0 are respectively provided as an output. Also at the measurement points (2) (4) (6), initial values of the last stage are respectively provided as an output. At the second clock, the coefficient buffers on the B side are selected, so that each multiplier multiplies the corresponding coefficient values with X_1 , in which at the measurement points (1) (3) (5) (7), B_3X_1, B_2X_1, B_1X_1 , and B_0X_1 are respectively provided as an output. Also at the measurement points (2) (4) (6), A_3X_0, A_2X_0 , and A_1X_0 of the last stage are respectively provided as an output. At the third clock, the coefficient buffers on the A side are selected, so that each multiplier multiplies the corresponding coefficient values with X_2 , in which at the measurement point (1) A_3X_2 is added, and at the measurement points (3) (5) (7) the value of the last stage is also added, so that $A_2X_2+A_3X_0, A_1X_2+A_2X_0$, and $A_0X_2+A_1X_0$ are respectively provided as an output. Also at the measurement points (2) (4) (6), values B_3X_1, B_2X_1 , and B_1X_1 of the last stage are respectively provided as an output. At the fourth clock, the coefficient buffers on the B side are selected, and each multiplier multiplies the corresponding coefficient values with X_3 , in which at the measurement point (1) B_3X_3 is added, and at the measurement points (3) (5) (7) the value of the last stage is also added, so that $B_2X_3+B_3X_1, B_1X_3+B_2X_1$, and $B_0X_3+B_1X_1$ are respectively provided as an output. Also at the measurement points (2) (4) (6), values $A_3X_2, A_2X_2+A_3X_0, A_1X_2+A_2X_0$ of the last stage are respectively provided as an output. Hereinafter, similarly the accumulated addition is performed for each input, so that the output of the seventh clock assumes $A_0X_6+A_1X_4+A_2X_2+A_3X_0$, the output of the eighth clock assumes $B_0X_7+B_1X_5+B_2X_3+B_3X_1$, the output of the ninth clock assumes $A_0X_7+A_1X_5+A_2X_3+A_3X_1$, and the output of the tenth clock assumes $B_0X_8+B_1X_6+B_2X_4+B_3X_2$. Thus, as to the outputs after the seventh clock, by the

odd-numbered clocks, data of input strings of even-ordered clocks, filtered with the coefficients on the A side are provided as an output, while by the odd-numbered clocks, data of the input strings of the odd-ordered clocks, filtered with the coefficients on the B side are provided as an output.

Also, for realizing a complex-converting filter of real signals, assuming that the characteristic of the real signal processing filter be $H(Z)$, this is expressed by the following equation:

$$H(Z) = H_o(Z^2) + Z^{-1}H_o(Z^2)$$

($H_o(Z^2)$ is even-ordered coefficient; $H_o(Z^2)$ is odd-ordered coefficient)

For complex number processing, when $H(Z)$ is shifted by $-j$ on the frequency axis,

$$H(-jZ) = H_o((-jZ^2)) + Z^{-1}H_o((-jZ^2))$$

Where $Z^2 = Z$,

$$= H_o Z^0 - H_o 1 Z^1 + H_o 2 Z^2 - H_o 3 Z^3 + \dots$$

$$+ jZ^{-1}(H_o Z^0 - H_o 1 Z^{-1} + H_o 2 Z^{-2} - H_o 3 Z^{-3} + \dots)$$

is obtained. Therefore, for the application to the embodiment, if the even-ordered coefficient strings of $H(Z)$ are sign-converted one by one and set to the A side while similarly the odd-ordered coefficient strings are sign-converted one by one and set on the B side, this embodiment operate as a complex-converting filter for real signals.

According to this embodiment as described above, by providing two-staged coefficient buffers at the input portion of the multiplier, and two delay circuits between the taps and switching of the coefficient buffers multiplied per each timing of the data input, a two-staged and four-tapped digital filter bank can be arranged only with four multipliers.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平2-121513

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月9日

H 03 H 17/02

J

8837-5 J

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 デジタルフィルタバンク

⑯ 特 願 昭63-274874

⑰ 出 願 昭63(1988)10月31日

⑱ 発 明 者 井 形 裕 司 大阪府門真市大字門真1008番地 松下電器産業株式会社内
 ⑲ 発 明 者 大 植 裕 司 大阪府門真市大字門真1008番地 松下電器産業株式会社内
 ⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1008番地
 ㉑ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

デジタルフィルタバンク

2. 特許請求の範囲

MタップのFIRフィルタN個で構成されるデジタルフィルタバンクにおいて、乗算器の入力部にN個の係数バッファと、各タップの間にN個の遅延回路を備え、データ入力タイミング毎に、乗算される係数バッファを切り替えることにより、乗算器をM個で構成することを特徴とするデジタルフィルタバンク。

3. 発明の追加な説明

産業上の利用分野

デジタル信号処理応用として、特に通信の分野においては、FDM信号の合成や分解、周波数スペクトルの分析などのために、複素化デジタルフィルタやデジタルフィルタバンクがしばしば必要とされる。本発明は、このようなデジタル信号処理におけるデジタルフィルタバンクに関するものである。

従来の技術

第5図は従来のデジタルフィルタバンクの構成図を示すものであり、33-1~33-Nは並列に並べられたデジタルフィルタである。32はマルチプレクサで、入力部31からの入力データを順次デジタルフィルタに供給する。

以上のように構成された従来のデジタルフィルタバンクにおいては、入力部31からの入力データ34 ($X_{n1}, X_{n2}, X_{n3}, X_{n4}, \dots$) を順次デジタルフィルタ33-1~33-Nに供給する。各デジタルフィルタにN個毎のデータ35-1 (X_{n1}, X_{n2}, \dots)、35-2 (X_{n1}, X_{n+1}, \dots)、35-3 (X_{n1}, X_{n+2}, \dots)、35-N (X_{n1}, X_{n+N-1}, \dots) を供給し、N個のデジタルフィルタにて並列にフィルタリング処理している。

発明が解決しようとする課題

しかしながら上記のような構成では、例えば各デジタルフィルタのタップ数をMタップとすれば、乗算器がM×N個必要となり、フィルタバンクの

段数が増加すると共に、乗算器の個数を増やし、そのために全体のハードウェア量が大きくなり、LSI化には不向きであるという課題を有していた。

本発明はかかる点に鑑みてなされたもので、デジタルフィルタバンクを構成する際に、デジタルフィルタを並列に並べる代わりに、乗算器に時分割処理をさせることで、乗算器の個数を節約でき、全体のハードウェア量を低減し、LSI化を容易にするデジタルフィルタバンクを提供することを目的とする。

課題を解決するための手段

本発明は、乗算器の入力部にN段の係数バッファと、各タップの間にN個の遅延回路とを備え、データ入力タイミング毎に、乗算される係数バッファを切り替えることにより、乗算器をM個で構成したデジタルフィルタバンクである。

作用

本発明は前記した構成により、信号の入力のタイミング毎に、乗算される係数バッファが切り替

えられ、N段の遅延の後、次タップの加算器に加えられる。このようにしてMタップで順次累積加算が行われ、デジタルフィルタバンクの出力には、N種の累積加算の結果が、順次時分割出力される。

実施例

第1図は、本発明の第一の実施例における2段4タップのデジタルフィルタバンクの構成図を示すものであって、実信号を複素信号に変換する複素化フィルタなどに利用されるものである。第1図において、102、103、104、105は、2段構成の係数バッファ、106、107、108、109は乗算器、110、111、113、114、116、117は遅延回路、112、115、118は加算器、120は1入力毎に乗算される係数バッファをA/B交互に切り替える係数バッファ制御回路である。

以下、本実施例の動作を第2図を参照して説明する。第2図には、第1図中(1)(2)・・・(7)の各測定点における入力クロック毎の値を示した。特に、測定点(7)は、出力である。入

力を121(X_0 , X_1 , X_2 , X_3 , ...)とする。第1クロックでは、制御回路120により各係数バッファは、A側がセレクトされ、各乗算器にて当該係数値と X_0 が乗算され、測定点(1)(3)(5)(7)には、それぞれ $A3X_0$, $A2X_1$, $A1X_2$, $A0X_3$ が出力される。また測定点(2)(4)(6)には、それぞれ前段の初期値0が出力される。第2クロックでは、各係数バッファは、B側がセレクトされ、各乗算器にて当該係数値と X_1 が乗算され、測定点(1)(3)(5)(7)には、それぞれ $B3X_1$, $B2X_2$, $B1X_3$, $B0X_4$ が出力される。また測定点(2)(4)(6)には、前段の値 $A3X_0$, $A2X_1$, $A1X_2$ がそれぞれ出力される。第3クロックでは、各係数バッファは、A側がセレクトされる。各乗算器にて当該係数値と X_2 が乗算され、測定点(1)には $A3X_2$ が、(3)(5)(7)には、前段の値も加算され、それぞれ $A2X_2 + A3X_1$, $A1X_3 + A2X_2$, $A0X_4 + A1X_3$ が出力される。また測定点(2)(4)(6)には、前段の値B

$3X_1$, $B2X_2$, $B1X_3$ がそれぞれ出力される。第4クロックでは、各係数バッファは、B側がセレクトされる。各乗算器にて当該係数値と X_3 が乗算され、測定点(1)には $B3X_3$ が、(3)(5)(7)には、前段の値も加算され、それぞれ $B2X_3 + B3X_2$, $B1X_4 + B2X_3$, $B0X_5 + B1X_4$ が出力される。また測定点(2)(4)(6)には、前段の値 $A3X_2$, $A2X_3 + A3X_1$, $A1X_4 + A2X_3$ がそれぞれ出力される。以下同様にして、入力毎に累積加算が行われ、第7クロックの出力は $A0X_7 + A1X_6 + A2X_5 + A3X_4$ 、第8クロックの出力は $B0X_8 + B1X_7 + B2X_6 + B3X_5$ 、第9クロックの出力は $A0X_9 + A1X_8 + A2X_7 + A3X_6$ 、第10クロックの出力は $B0X_{10} + B1X_9 + B2X_8 + B3X_7$ となる。上記のようにして、第7クロック以降の出力には、奇数クロック目には、偶数次クロックの入力列がA側の係数によってフィルタリング処理されたデータが、奇数クロック目には、奇数次クロックの入力列がB側の係数によってフィルタリング処理

されたデータが出力されることになる。

また、実符号の複素化フィルタを実現するため、ある実符号処理のフィルタの特性を $H(Z)$ とし、これを次のように表現する。

$$(1) \quad H(Z) = H_e(Z^2) + Z^{-1} H_o(Z^2)$$

($H_e(Z^2)$ は偶数次係数、 $H_o(Z^2)$ は奇数次係数)

複素処理化するために、 $H(Z)$ を周波数軸上で j シフトすると、

$$(2) \quad H(-jZ) = H_e((-jZ^2)) + Z^{-1} H_o((-jZ^2))$$

$$Z^2 = Z \text{ として、}$$

$$(3) \quad \begin{aligned} &= H_e(0Z^0 - H_o(1Z^{-1} + H_e(2Z^{-2} - H_o(3Z^{-3} + \dots \\ &+ jZ^{-1}(H_e(0Z^0 - H_o(1Z^{-1} + H_e(2Z^{-2} - H_o(3Z^{-3} + \dots)) \\ &\text{となる。従って、これを実施例に適用するために、} \\ &H(Z) \text{ の偶数次の係数列を 1 ケ毎に符号変換し A 側} \\ &\text{に、同じく奇数次の係数列を 1 ケ毎に符号変換し B} \\ &\text{側にセットしておけば、本実施例は、実符号の複} \\ &\text{素化フィルタとして動作する。} \end{aligned}$$

以上のように本実施例によれば、乗算器の入力側に 2 段の係数バッファと各タップの間に 2 個の遅延回路とを設け、データ入力タイミング毎に、

乗算される係数バッファを切り替えることにより、乗算器は 4 個のみで、2 段 4 タップのデジタルフィルタバンクを構成することができる。

第 3 図は、本発明の第二の実施例における 4 段 4 タップのデジタルフィルタバンクの構成図を示すものであって、4 チャンネル FDM-TDM 変換器のフィルタバンクなどに利用できるものである。第 3 図において、202、203、204、205 は 4 段構成の係数バッファ、206、207、208、209 は乗算器、210、211、212、213、215、216、217、218、220、221、222、223 は遅延回路、214、219、224 は加算器、228 は 1 入力毎に乗算される係数バッファを A-B-C-D-A-... と順次切り替える係数バッファ制御回路である。

以下、本実施例の動作を第 4 図を参照して説明する。第 4 図は、第 3 図中 (1) (2) ... (13) の各割定点における入力クロック毎の値を示す。特に、割定点 (13) は、出力である。入力を

201 (X_0 , X_1 , X_2 , X_3 , ...) とする。

第 1 クロックでは、制御回路 226 により各係数バッファは、A バッファがセレクトされ、各乗算器にて当該係数値と X_0 が乗算され、割定点 (1) (5) (9) (13) には、それぞれ $A3X_0$, $A2X_0$, $A1X_0$, $A0X_0$ が出力される。また割定点 (2) (3) (4) (6) (7) (8) (10) (11) (12) には、それぞれ前段の初期値 0 が出力される。第 2 クロックでは、各係数バッファは、B バッファがセレクトされ、各乗算器にて当該係数値と X_1 が乗算され、割定点 (1) (5) (9) (13) には、それぞれ $B3X_1$, $B2X_1$, $B1X_1$, $B0X_1$ が出力される。また割定点 (2) (3) (4) (6) (7) (8) (10) (11) (12) には、前段の値 $A3X_0$, $A2X_0$, $A1X_0$ および割定点 (3) (4) (7) (8) (11) (12) には 0 が、それぞれ出力される。第 3 クロックでは、各係数バッファは、C バッファがセレクトされ、各乗算器にて当該係数値と X_2 が乗算され、割定点 (1) (5) (9) (13) には、それぞれ $C3X_2$, $C2X_2$, $C1X_2$, $C0X_2$ が出力され

る。また割定点 (2) (6) (10) (3) (7) (11) には、前段の値 $B3X_1$, $B2X_1$, $B1X_1$, $A3X_0$, $A2X_0$, $A1X_0$ および割定点 (4) (8) (12) には 0 が、それぞれ出力される。第 4 クロックでは、各係数バッファは、D バッファがセレクトされ、各乗算器にて当該係数値と X_3 が乗算され、割定点 (1) (5) (9) (13) には、それぞれ $D3X_3$, $D2X_3$, $D1X_3$, $D0X_3$ が出力される。また割定点 (2) (6) (10) (3) (7) (11) (4) (8) (12) には、前段の値 $C3X_2$, $C2X_2$, $C1X_2$, $B3X_1$, $B2X_1$, $B1X_1$, $A3X_0$, $A2X_0$, $A1X_0$ が、それぞれ出力される。第 5 クロックでは、各係数バッファは、再び A バッファがセレクトされる。各乗算器にて当該係数値と X_0 が乗算され、割定点 (1) には $A3X_0$ が、(5) (9) (13) には、前段の値も加算され、それぞれ $A2X_0 + A3X_0$, $A1X_0 + A2X_0$, $A0X_0 + A1X_0$ が出力される。また割定点 (2) (6) (10) (3) (7) (11) (4) (8) (12) には、前段の値 $D3X_3$, $D2$

$X_2, D1X_2, C3X_2, C2X_2, C1X_2, B3X_1, B2X_1, B1X_1$ が、それぞれ出力される。

以下同様にして、入力毎に累次加算が行われ、第13クロックの出力は、 $A0X_{12} + A1X_{11} + A2X_{10} + A3X_9$ 、第14クロックの出力は $B0X_{12} + B1X_{11} + B2X_{10} + B3X_9$ 、第15クロックの出力は $C0X_{12} + C1X_{11} + C2X_{10} + C3X_9$ 、第16クロックの出力は $D0X_{12} + D1X_{11} + D2X_{10} + D3X_9$ 、第17クロックの出力は $A0X_{12} + A1X_{11} + A2X_{10} + A3X_9$ となり、第13クロック以降の出力には、4クロック毎に、4種のフィルタリング処理されたデータが、出力されることになる。

以上のように本実施例によれば、累算器の入力部に4段の係数バッファと、各タップの間に4個の遅延回路とを設け、データ入力タイミング毎に、累算される係数バッファを順次切り替えることにより、累算器は4個のみで、4段4タップのデジタルフィルタバンクを構成することができる。

なお、第1、第2の実施例において、係数バ

ッファ、遅延回路の個数を、2ヶ、4ヶ、タップ数を4タップとしたが、係数バッファ、遅延回路の個数をNヶ、タップ数をM個（累算器の個数をM個）の構成とすれば、N段Mタップのデジタルフィルタバンクを構成することができることは、言うまでもない。

発明の効果

以上説明したように、本発明によれば、累算器の個数を節約でき、全体のハードウェア量を低減し、LSI化を容易にすることができ、その実用的効果は極めて大きい。

4. 図面の簡単な説明

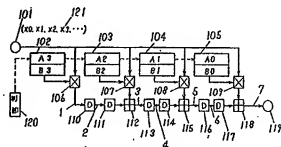
第1図は本発明の一実施例の構成図、第2図は同実施例の動作説明図、第3図は本発明の他の実施例の構成図、第4図は同実施例の動作説明図、第5図は従来のデジタルフィルタバンクの構成図である。

101、201・・・入力部、121、227・・・入力データ、119、225・・・出力部、102、103、104、105、202、20

3、204、205・・・係数バッファ、106、107、108、109、206、207、208、209・・・累算器、110、111、113、114、116、117、210、211、212、213、215、216、217、218、220、221、222、223・・・遅延回路、112、115、118、214、219、224・・・加算器、120、226・・・係数バッファ制御回路。

代理人の氏名 弁理士 栗野重孝 ほか1名

第1図



第 5 図

